



(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-202900  
(P2002-202900A)

(43) 公開日 平成14年7月19日 (2002.7.19)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	デマコト* (参考)
G 0 6 F 11/28	3 1 5	C 0 6 F 11/28	L 5 B 0 4 2
	3 4 0		3 1 5 B 5 B 0 4 8
11/22	5 1 0	11/22	3 4 0 C 5 B 0 6 2
			3 4 0 A
15/78		15/78	5 1 0 K
審査請求 未請求 請求項の数 2 O L (全 10 頁)			

(21) 出願番号 特願2000-403225 (P2000-403225)

(22) 出願日 平成12年12月28日 (2000.12.28)

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 工藤 真

長野県諏訪市大和3丁目3番5号 セイコ

ーエプソン株式会社内

(74) 代理人 100095728

弁理士 上柳 雅彦 (外1名)

Fターム(参考) 5B042 GA13 GC02 HH01 HH11 HH25

LA05 LA09

5B048 AA12 BB00 DD10 FF03

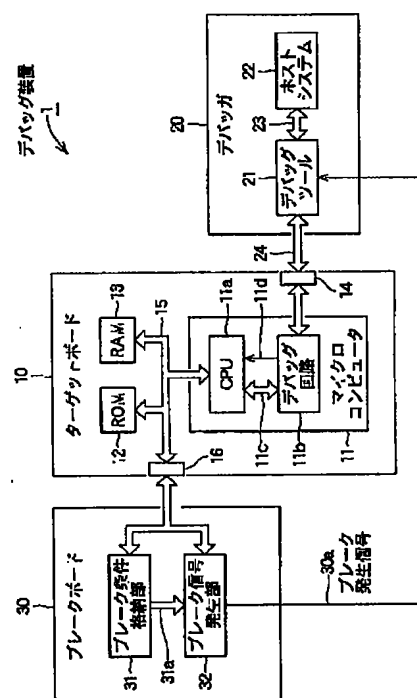
5B062 AA10 EE08 JJ08

## (54) 【発明の名称】 デバッグ装置

## (57) 【要約】

【課題】 オンチップデバッグ機能を利用したデバッグ装置において、外部回路を用いてブレーク機能を拡張する。

【解決手段】 オンチップデバッグ機能を実現するためのデバッグ回路11bを内蔵したマイクロコンピュータ11が実装されたターゲットボード10から各種バス15を引き出してブレークボード30に接続する。ブレークボード30にブレーク条件格納部31とブレーク信号発生部32を設ける。デバッグ20側からデバッグ回路11b、CPU11a、各種バス15を介してブレーク条件格納部31にブレーク条件を書き込む。その後、ROM12に格納されているユーザプログラムを実行させる。ブレーク信号発生部32は、各種バス15上の信号を監視しており、各種バス15上の信号がブレーク条件に一致した際にブレーク発生信号30aを出力する。このブレーク発生信号30aに基づいてユーザプログラムを実行をブレーク(停止)させる。



## 【特許請求の範囲】

【請求項1】 オンチップデバッグ機能を備えたマイクロコンピュータが実装されたターゲットボードと、前記ターゲットボードに設けられたデバッグ用インタフェース端子を介して接続され前記オンチップデバッグ機能を利用してデバッグを行なうデバッグと、前記ターゲットボードから引き出されたアドレスバス、データバス、制御バスの各信号を監視して予め設定されたブレーク条件を満足したときにブレーク信号を出力するブレークボードとを備えたことを特徴とするデバッグ装置。

【請求項2】 前記ブレークボードは前記ブレーク条件の格納部を備えるとともに、前記デバッグから前記ターゲットボードを介して前記格納部に前記ブレーク条件を書き込む構成としたことを特徴とする請求項1記載のデバッグ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】この発明は、オンチップデバッグ機能を利用したデバッグ装置に係り、詳しくは、外部回路を用いてブレーク機能を拡張できるようにしたデバッグ装置に関するものである。

## 【0002】

【従来の技術】特開平2-186448号公報（特公平5-50016号公報）には、マイコンASIC内のユーザプログラムを外部のホストコンピュータとの通信を行ないながらデバッグできるようなプリミティブデバッグプログラムを、マイコンASICチップ上に設けたROM内に格納することで、ソフトウェアのデバッグを行なえるようにしたデバッグ環境を備えた集積回路が記載されている。このデバッグ環境を備えた集積回路は次のように構成されている。マイクロプロセッサをコアにしてROMやRAMおよび周辺LSIの各種機能を1チップに組み合わせて特定用途向けに作られるマイコンASICチップ内に、プログラムデバッグのためのソフトウェアの一部を記憶するデバッグROMと、プログラム実行中断のためのブレーク回路部と、ホストコンピュータとの通信用I/Oポートとを備え、マイコンASICのデバッグ時にはホストコンピュータと通信用I/Oポートを介してホストコンピュータ上のデバッグ用ソフトウェアとデバッグROM内のデバッグ用ソフトウェアとが通信を行ないながら、ROMやRAM内に記憶されたASIC内蔵プログラムに対するシステムデバッグを行なう。

【0003】特開平4-77833号公報（特公平7-27472号公報）には、ホストコンピュータからシリアル通信ブロックを介してコントロールCPUおよびコントロールROM・RAMとの間で通信を行なうことにより、ユーザROMおよびRAM内に格納されたプログラムのデバッグを外部から実行できるようにしたデバッ

グ環境を備えた集積回路が記載されている。このデバッグ環境を備えた集積回路は次のように構成されている。メインCPUをコアにしてROMやRAMおよび周辺LSIの各種機能を1チップに組み合わせて特定用途向けに作られるマイコンASICチップ内に、システムデバッグを行なうためにインサーキットエミュレータとして少なくとも必要な実時間実行機能、ブレーク機能、内容確認機能、トレース機能、マッピング機能を制御するメインCPUとは独立したコントロールCPUブロックと、このシステムデバッグのためのコントロールソフトを格納するROMおよびRAMと、トレース内容結果を格納するトレースメモリRAMと、プログラム実行中断のためのブレーク回路部と、デバッグ時にホストコンピュータ通信を行なうためのシリアル通信ブロックとを備える。

【0004】特開平8-161191号公報には、高速のMPUがターゲットである場合でもデバッグを行なえるようにしたインサーキットエミュレータが記載されている。このインサーキットエミュレータは、ターゲット装置内にある組み込みチップ内に、ステート解析用のトレース機能、リアルタイムなオンチップデバッグリソースをターゲットMPUの走行を止めることなく全ステートで行なうノンブレークデバッグ機能、および、オフチップのモニタメモリアクセスインタフェース機能を持つデバッグユニットを備える。

【0005】特開平8-179958号公報には、ホストコンピュータからの指令に応じて、マイコン内部に組み込まれたデバッグ用プログラムを実行させることにより、ICEを用いることなくデバッグを可能としたマイコン（制御用電子装置）が記載されている。このマイコン（制御用電子装置）は次のように構成されている。デバッグのためにアプリケーションプログラムを中断させる場合は、修正アドレスレジスタにブレークアドレスを、修正データレジスタに中断動作実行プログラムを開始させるためのデータを、制御フラグラッチに「1」をそれぞれ格納するプログラムをホスト側からの指令で実行させ、CPUの実行アドレスがブレークアドレスに一致したとき、比較器の出力信号に基づきCPUのアクセス対象をROMから修正データレジスタに切り換える。この他にも、マイコン内に組み込まれた種々のデバッグ用プログラムを実行させることにより、様々なデバッグ動作を行なわせることができる。

【0006】特開平10-214201号公報には、マイコン内部にプログラムデバッグ時に使用する種々の機能を備えたデバッグ回路を持ち、かつ同一チップ上に内蔵した電氣的に書き込み/消去が可能なフラッシュメモリをエミレーションメモリとして使用できるようにしたマイクロコンピュータが記載されている。このマイクロコンピュータは次のように構成されている。開発段階のプログラムが格納される電氣的に書き込み/消去が可能

なフラッシュメモリと、外部のＩＣＥとの接続のための専用入出力端子を持つデバッグ回路とを内蔵し、デバッグ回路にＣＰＵとの通信機能、ＩＣＥとの通信機能、ＣＰＵの動作状態のトレース機能、デバッグ割り込みを発生させるブレーク機能、ＩＣＥからのプログラムコードをフラッシュメモリに書き込む機能、フラッシュメモリの内容をＩＣＥに送る機能を持たせる。

【０００７】雑誌 日経エレクトロニクス １９９９年３月２２日号 Ｐ２１５～Ｐ２２５「組み込みソフトウェア開発に浸透し始めオン・チップ・デバグ」には、以下のことが記載されている。マイクロプロセッサを内蔵した組み込み機器向けソフトウェアの開発手法が変わり始めている。命令セットにデバグ専用命令を加えたマイクロプロセッサと専用デバグを組み合わせてソフトウェアをデバグする「オン・チップ・デバグ」と呼ぶ手法を採用する場面が増えてきた。オン・チップ・デバグは、次のようなシステムで行なう。デバグ機能を内蔵したマイクロプロセッサはプリント基板に搭載し、プリント基板上に用意した１０ピン前後のデバグ専用コネクタからデバグ専用ピンの信号を引き出せるようにしておく。このコネクタ経由でケーブルを引き出し、デバグと接続する。デバグはマイクロプロセッサ上のデバグ機能を制御する回路やパソコンとのインタフェース回路などを内蔵する。デバグは、パソコンにＰＣカードスロットやＲＳ－２３２Ｃなどのインタフェースで接続する。パソコンには専用のソフトウェアをインストールする必要がある。

【０００８】

【発明が解決しようとする課題】オンチップデバグでは、チップ上に搭載されたブレーク回路等を利用してブレーク機能を実現している。ブレーク機能を実現するためには、ブレーク条件を格納するレジスタ等と、レジスタ等に設定されたブレーク条件とＣＰＵがアクセスするアドレス、データ等とを比較する比較回路等が必要である。ブレーク回路を複数組設けることで複数のブレークポイントを設定することが可能になる。しかしながら、ブレーク回路を複数組設けるとデバッグ回路部の回路規模（ゲート数）が増加する。マイコンやＡＳＩＣマイコンを実現する上で、デバッグ回路部の回路規模を必要以上に大きくするのは、経済的に好しくない場合がある。このため、オンチップデバグで利用できるブレーク機能（設定できるブレークポイントの数）は数点（２～８点）程度であるのが一般的である。実際のデバッグ作業時には、プログラムの実行が想定されたアドレス範囲外に及んだことを検出するためのマップブレーク機能や、複雑な条件のデータブレーク機能等が必要になることがある。このため、オンチップデバッグ機能を利用したデバッグ装置においてブレーク機能を拡張できるようにすることが望まれていた。

【０００９】この発明はこのような課題を解決するためなされたもので、オンチップデバッグ機能を利用したデ

バッグ装置において、外部回路を用いてブレーク機能を拡張できるようにしたデバッグ装置を提供することを目的とする。

【００１０】

【課題を解決するための手段】前記課題を解決するためこの発明に係るデバッグ装置は、オンチップデバッグ機能を備えたマイクロコンピュータが実装されたターゲットボードと、ターゲットボードに設けられたデバッグ用インタフェース端子を介して接続されマイクロコンピュータに内蔵されたオンチップデバッグ機能を利用してデバッグを行なうデバグと、ターゲットボードから引き出されたアドレスバス、データバス、制御バスの各信号を監視して予め設定されたブレーク条件を満足したときにブレーク信号を出力するブレークボードとから構成される。

【００１１】なお、ブレークボードはブレーク条件の格納部を備えるとともに、デバグからターゲットボードを介して格納部にブレーク条件を書き込める構成とするのが望ましい。

【００１２】この発明に係るデバッグ装置は、ターゲットボードにブレークボードを接続し、このブレークボードによってブレーク信号を出力する構成としたので、ブレーク機能を拡張することができる。例えば、マイクロコンピュータに内蔵されているオンチップデバッグ機能では、数点のブレークポイントしか設定できない場合でも、ブレークボードを用いることでさらに多数のブレークポイントを設定することができる。したがって、特定のアドレス範囲がアクセスされたことを検出してユーザプログラムの動作を停止させるマップブレーク、特定のアドレスに特定のデータが書き込みまたは読み出しされた際にユーザプログラムの動作を停止させるバスブレーク、複数個のバスブレークの条件が所定の時系列で発生した場合にユーザプログラムの動作を停止させるシーケンシャルブレーク等の各種のブレーク機能を実現することができる。

【００１３】

【発明の実施の形態】以下、この発明の実施の形態を添付図面に基づいて説明する。

【００１４】図１はこの発明に係るデバッグ装置の全体構成を示すブロック構成図である。この発明に係るデバッグ装置１は、ターゲットボード１０と、デバグ２０と、ブレークボード３０とからなる。

【００１５】ターゲットボード１０には、オンチップデバッグ機能を備えたマイクロコンピュータ１１、ならびに、ＲＯＭ１２、ＲＡＭ１３および図示しない各種機能回路部等が実装されている。このターゲットボード１０には、デバッグ用インタフェース端子群１４と、各種バス（アドレスバス、データバス、制御バス）１５を外部に引き出すためのバスインタフェース端子群１６とが設けられている。

【0016】マイクロコンピュータ11は、CPU11aとデバッグ回路11bとを少なくとも備える。CPU11aとデバッグ回路11bとは内部バス（アドレスバス、データバス、制御バス）11cで接続されている。なお、マイクロコンピュータ11は、CPU11a、デバッグ回路11bの他にROM、RAM、A/D変換器やD/A変換器、各種タイマ回路等の周辺機能回路を備える構成でもよい。

【0017】デバッグ用インタフェースは、スタンダードテストアクセスポートバウンダリスキャンアーキテクチャの規格（一般にJTAGと称される）に対応したものをを用いている。なお、デバッグ用インタフェースは、専用（独自）のインタフェースを用いる構成としてもよい。

【0018】デバッグ回路11bは、デバッグ動作を制御するためのモニタプログラムを格納したモニタROMと、CPU11aとデータ通信を行なう機能部と、デバッグ20とデータ通信を行なう機能部と、数点のブレーク条件を一時記憶しておき設定されたブレーク条件を検出した際にブレーク信号を発生してユーザプログラムの実行を停止させるブレーク回路と、ユーザプログラムの実行状態においてリアルタイムトレースに必要なデータを抽出してデバッグ20側へ抽出したデータを送出するトレースデータ抽出機能部等を備える。

【0019】デバッグ回路11bは、デバッグ回路11bに内蔵されたブレーク回路によってブレーク信号が発生された場合、ならびに、デバッグ20側からブレーク要求が供給された場合には、ブレーク要求信号11dをCPU11aのノンマスカブルインタラプト入力端子（強制割り込み入力端子）へ供給することで、ユーザプログラムの実行を停止させる。

【0020】デバッグ20は、デバッグツール21とホストシステム22とからなる。ホストシステム22は、パーソナルコンピュータやエンジニアリングワークステーション等を用いて構成している。ホストシステム22には、デバッグ用のソフトウェアがインストールされている。デバッグツール21とホストシステム22との間は例えばRS-232Cケーブル等のホスト接続ケーブル23で接続され、ホスト接続ケーブル23を介してデバッグツール21とホストシステム22との間でデータ通信を行なえるようにしている。

【0021】デバッグツール21とターゲットボード10との間はデバッグ用ケーブル24で接続されている。デバッグツール21は、デバッグ用ケーブル24を介してマイクロコンピュータ11に内蔵されているデバッグ回路とデータ通信を行なう機能と、ホスト接続ケーブル23を介してホストシステム22とデータ通信を行なう機能と、デバッグ動作を制御する機能等を備える。

【0022】デバッグツール21は、ブレークボード30からブレーク発生信号30aが供給されると、ユーザ

プログラムの実行を停止させるブレーク指令をデバッグ回路11bへ送出し、デバッグ回路11bを介してブレーク要求信号11dをCPU11aのノンマスカブルインタラプト入力端子（強制割り込み入力端子）へ供給させることで、ユーザプログラムの実行を停止させる。

【0023】デバッグ20ならびにデバッグ回路11bの具体的な動作は次のとおりである。デバッグツール21は、ホストシステム22からデバッグ回路11bに内蔵されたブレーク回路に対するブレークポイントの設定要求が供給されると、そのブレークポイントをデバッグ回路11bに内蔵されたブレーク回路に設定するための指令を送出して、デバッグ回路11bに内蔵されたブレーク回路にブレークポイントを設定させる。

【0024】デバッグツール21は、ホストシステム22からユーザプログラムの実行要求が供給されると、デバッグ回路11bにユーザプログラムの実行命令（例えばGO命令等）を供給してユーザプログラムを実行させる。

【0025】デバッグ回路11bは、ユーザプログラムの実行中にブレークポイントとして設定された条件を検出すると、ブレーク要求信号11dをCPU11aへ供給することでユーザプログラムの実行を停止（ブレーク）させるとともに、ユーザプログラムの実行をブレークしたことをデバッグツール21へ通知する。デバッグツール21は、ユーザプログラムの実行がブレークされたことをホストシステム22へ通知する。デバッグツール21は、ホストシステム22からアドレスを指定してその内容を読み出す要求が供給されると、その要求をデバッグ回路11bへ供給して指定アドレスの内容を読み出させるとともに、読み出された内容をホストシステム22へ供給する。

【0026】デバッグ回路11bは、ユーザプログラムの実行中はリアルタイムトレースを行なうために必要となるデバッグデータを抽出し、抽出したデバッグデータをデバッグツール21へ送出的る。デバッグツール21は、デバッグ回路側から供給されたデバッグデータをデバッグツール21内のトレースメモリ部に時系列との対応を付けて格納するとともに、トレースメモリ部に格納したデバッグデータをホストシステム22へ供給する。

【0027】ブレークボード30は、ブレーク条件格納部31と、ブレーク信号発生部32とを備える。ブレーク条件格納部31は、各種バス15を介してCPU11a側からアクセスできるように構成しており、予め設定されたアドレスを指定することでCPU11a側からブレーク条件を書き込んだり、書き込まれているブレーク条件を読み出せるようにしている。ブレーク条件格納部31に格納されたブレーク条件31aはブレーク信号発生部32へ供給される。

【0028】ブレーク信号発生部32は、各種バス15の状態を監視しており、各種バス15の状態がブレーク

条件31aに一致した場合にブレーク発生信号30aを出力する。ブレーク発生信号30aはデバッグツール21へ供給され、デバッグツール21ならびにデバッグ回路11bを介してCPU11aへブレーク要求信号11dが供給される。

【0029】なお、デバッグツール21とデバッグ回路11bとの間のデータ通信にシリアル通信を用いている場合には、ブレーク発生信号30aが発生したことの情報がデバッグ回路11bへ供給されるまでに時間遅れを生ずる場合がある。したがって、デバッグツール21とデバッグ回路11bとの間のデータ通信にシリアル通信を用いている場合には、ブレーク発生信号30aをデバッグ回路11bへ直接供給する構成とするのが望ましい。この場合、デバッグ回路11bは、ブレーク発生信号30aが供給されるとブレーク要求信号11dをCPU11aへ供給することでユーザプログラムの動作を停止させるとともに、ブレークボード30によってブレークが発生した旨の情報をデバッグツール21へ供給する。

【0030】以上の構成であるからこの発明に係るデバッグ装置1は、ブレークボード30内のブレーク条件格納部31にブレーク条件を予め設定しておき、ブレーク信号発生部32によって設定したブレーク条件に一致した際にブレーク発生信号30aを発生させ、このブレーク発生信号30aに基づいてユーザプログラムの実行をブレークさせることができる。

【0031】図2はマップブレーク機能を備えたブレークボードの一具体例を示すブロック構成である。図2に示すマップブレーク機能を備えたブレークボード40は、制御部41と、ブレーク条件格納部を構成するRAM42と、データバス切替回路43と、ブレーク信号発生部44とからなる。マップブレーク機能とは、例えば不当なアドレス等の特定のアドレスにアクセスされた際に、ユーザプログラムの実行を停止（ブレーク）させるものである。

【0032】アドレスバス15aは、RAM42のアドレス入力端子群42aに接続されるとともに、制御部41のアドレス入力端子群41aに接続される。データバス15bは、データ切替回路43の一方の端子群43aに接続されるとともに、制御部41のデータ入出力端子群41bに接続される。データ切替回路43の他方の端子群43bはブレーク信号発生部44のデータ入力端子群44aに接続される。RAM42のデータ入出力端子群42bはデータ切替回路43の共通端子群43cに接続される。

【0033】制御部41は、この制御部41に対して予め設定されたアドレスが供給されるとそのアドレスが指定されたことを示す信号を出力するアドレスデコード回路と、アドレスデコード回路の出力信号とライト信号とに基づいてデータバス15b上に供給されているデータ

をラッチするデータラッチ回路と、データラッチ回路にラッチされた制御データに基づいてこのブレークボード40の動作を制御する制御回路とを備える。

【0034】制御部41は、図1に示したCPU11a側から各種バス15を介してこの制御部41に対する制御データの書き込み要求が出されると（この制御部41に対して予め設定されたアドレスを指定して制御データの書き込み要求が出されると）、その制御データを制御部41の内部のデータラッチ回路にラッチする。

【0035】CPU11a側から供給された制御データがマップブレーク条件の書き込み要求またはマップブレーク条件の読み出し要求である場合の動作は次のとおりである。制御部41は例えばHレベルのデータバス切替制御信号41cを出力する。データ切替回路43は、例えばHレベルのデータバス切替制御信号41cが供給されると、一方の端子群43aと共通端子群43cとがそれぞれ接続された状態にする（図2において点線で示す切り替え状態とする）。これにより、データバス15bがRAM41のデータ入出力端子42bに接続される。制御部41は、制御バス15c中のライト信号15WをRAM42のライト信号入力端子41cへ供給するとともに、制御バス15c中のリード信号15RをRAM42のリード信号入力端子41dへ供給する。

【0036】これにより、各種バス15を介してブレークボード40上のRAM41にアクセスできる状態となる。この状態で、各アドレス毎にそのアドレスをブレークポイントとするか否かを示すデータを書き込む。例えば、ブレークポイントを設定するアドレスに対してはデータ「1」を、ブレークポイントとして設定しないアドレスに対してはデータ「0」を書き込む。なお、RAM41の各アドレスに格納されたブレークポイントであるか否かを示すデータは、RAM41に格納されたデータを読み出すことで確認することができる。

【0037】図1に示したデバッグ20は、ターゲットボード10内のデバッグ回路11bならびにCPU11aを介してブレークボード40上のRAM41の全アドレス範囲に亘ってブレークポイントとするか否かを示すデータを書き込み、その書き込み動作が完了すると、マップブレーク動作開始を要求するデータを制御部41に書き込む。

【0038】制御部41は、マップブレーク動作開始を要求するデータが書き込まれると、例えばLレベルのデータバス切替制御信号41cを出力する。データ切替回路43は、例えばLレベルのデータバス切替制御信号41cが供給されると、他方の端子群43bと共通端子群43cとがそれぞれ接続された状態にする（図2において実線で示す切り替え状態とする）。これにより、RAM41のデータ入出力端子42bとブレーク信号発生部44のデータ入力端子群44aとが接続される。

【0039】また、制御部41は、マップブレーク動作

開始を要求するデータが書き込まれると、RAM42のリード信号入力端子42dにリード状態を示す論理レベルの信号を供給するとともに、RAM42のライト信号入力端子42cにライト状態ではないことを示す論理レベルの信号を供給する。さらに、制御部41は、マップブレーク動作開始を要求するデータが書き込まれると、ブレーク信号発生部44の動作を許可するブレーク信号発生許可信号41dをブレーク信号発生部44へ供給することで、ブレーク信号発生部44をアクティブ状態（動作状態）に制御する。

【0040】ユーザプログラムが実行され各種のアドレスに対するアクセスがなされると、RAM41からアクセスされたアドレスに対して設定されたブレークポイントとするか否かを示すデータが出力され、このデータはデータバス切替回路43を介してブレーク信号発生部44へ供給される。

【0041】ブレーク信号発生部44は、ブレークポイントとするか否かを示すデータに基づいてブレークポイントであるか否かを判断し、ブレークポイントである場合にはブレーク発生信号40aを出力する。本実施の形態では、ブレークポイントとして設定されたアドレスがアクセスされるとRAM42からデータ「1」が出力されるので、ブレーク信号発生部44はデータ「1」に基づいて例えばHレベルのブレーク発生信号40aを出力する。

【0042】以上の構成であるから図2に示したブレークボード40を用いることで、1または複数のアドレスに対してブレークポイントを設定したり、1または複数のアドレス範囲に亘ってブレークポイントを設定したりすることができる。

【0043】なお、制御部41にRAM42のデータを初期化する機能を備える構成とし、ブレークポイントとして指定するアドレスに対してのみブレークポイントであることを示すデータを書き込むようにしてもよい。

【0044】本実施の形態ではRAM42の各アドレス毎にそのアドレスをマップブレークとするか否かのデータを格納する例を示したが、ブレークポイントとして設定するアドレスをラッチするデータラッチ回路を複数個設けるとともに、データラッチ回路にラッチされたアドレス（ブレークポイントとなるアドレス）とアドレスバス上のアドレスとの大小関係ならびに一致を検出するマグニチュードコンパレート回路等を複数個設け、これら複数のマグニチュードコンパレート回路等の比較出力に基づいて1または複数のアドレスでブレーク発生信号を発生させたり、1または複数のアドレス範囲でブレーク発生信号を発生させたりする構成としてもよい。

【0045】図3はバスブレーク機能を備えたブレークボードの一具体例を示すブロック構成である。バスブレーク機能とは、特定のアドレスに特定のデータが書き込まれたり、特定のアドレスから特定のデータが読み出さ

れたりした際に、CPUの動作を停止（ブレーク）させるものである。

【0046】図3に示すバスブレーク機能を備えたブレークボード50は、ブレーク条件設定制御部51と、ブレーク条件格納部52と、ブレーク信号発生部53と、バス状態ラッチ部54とからなる。ブレーク条件格納部52は、ブレークアドレス格納部52aとブレークデータ格納部52bと、ブレーク発生条件格納部52cとを備える。バス状態ラッチ部54は、アドレスラッチ部54aと、データラッチ部54bと、アクセス状態ラッチ部54cとを備える。

【0047】本実施の形態で、アドレスバス15aのバス幅は32ビット、データバス15bのバス幅は16ビットとする。制御バス15cは、ライト（書き込み）信号と、リード（読み出し）信号と、メモリアドレス空間に対するアクセス（書き込みまたは読み出し）であるかIO（入出力）アドレス空間に対するアクセスであるかを識別させるためのアクセス空間指定信号とを有する。

【0048】ブレーク条件設定制御部51には、このブレーク条件設定制御部51を特定するためのアドレスが予め設定されている。ブレーク条件設定制御部51は、このブレーク条件設定制御部51に対して予め設定されたアドレスが供給されるとそのアドレスが指定されたことを示す信号を出力するアドレスデコード回路と、アドレスデコード回路の出力信号とライト信号とに基づいてデータバス15b上に供給されているデータを取り込み、取り込んだデータに基づいてブレーク条件の設定を制御する制御回路とを備えている。

【0049】本実施の形態では、図1に示したデバッグ20側からターゲットボード10を介して次に示す順序でバスブレーク条件を設定するためのデータが供給されるものとする。まず、バスブレーク条件の設定を要求する制御データが供給され、次のバスサイクルでブレークアドレスの上位ビットを指定するデータが供給され、次のバスサイクルでブレークアドレスの下位ビットを指定するデータが供給され、次のバスサイクルでブレークデータが供給され、次のバスサイクルでブレーク発生条件を指定するデータが供給され、次のバスサイクルでバスブレーク動作の起動を要求するデータが供給される。

【0050】ここで、ブレーク発生条件を指定するデータに基づいて、次に示す各種のブレーク発生条件を指定できるようにしている。（1）指定したメモリ空間アドレスに対して指定したデータがライトされた時にブレークさせる。（2）指定したメモリ空間アドレスから指定したデータがリードされた時にブレークさせる。（3）上記の（1）または（2）のときにブレークさせる。

（4）指定したIO空間アドレスに対して指定したデータがライトされた時にブレークさせる。（5）指定したIO空間アドレスから指定したデータがリードされた時にブレークさせる。（6）上記（4）または（5）のと

きにブレイクさせる。

【0051】ブレイク条件設定制御部51は、バスブレイク条件の設定を要求する制御データが供給されると、次のバスサイクルで供給されるブレイクアドレスの上位ビットのデータとさらに次のバスサイクルで供給されるブレイクアドレスの下位ビットのデータとに基づいてブレイクアドレスを認識し、そのブレイクアドレスをブレイクアドレス格納部52aに格納する。ブレイク条件設定制御部51は、次のバスサイクルで供給されるブレイクデータをブレイクデータ格納部52bに格納する。ブレイク条件設定制御部51は、次のバスサイクルで供給されるブレイク発生条件を指定するデータをブレイク発生条件格納部52cに格納する。ブレイク条件設定制御部51は、次のバスサイクルでバスブレイク動作の起動を要求するデータが供給されると、ブレイク信号発生許可信号51aを出力して、ブレイク信号発生部53を動作状態に制御する。

【0052】なお、ブレイク条件設定制御部51は、バスブレイク動作の停止を要求するデータが供給された場合には、ブレイク信号発生許可信号51aの出力を停止して、ブレイク信号発生部53を非動作状態に制御するようにしている。

【0053】バス状態ラッチ部54は、各バスサイクル毎に各バスの状態をラッチする。具体的には、アドレスバス15a上のアドレスデータをアドレスラッチ部54aでラッチし、データバス15b上のデータをデータラッチ部54bでラッチし、制御バス15c中の各信号によって特定される状態（メモリ空間に対する書き込み、メモリ空間に対する読み出し、I/O空間に対する書き込み、I/O空間に対する読み出し）をアクセス状態ラッチ部54cにラッチする。

【0054】ブレイク信号発生部53は、ブレイク信号発生許可信号51aが供給されている状態で、ブレイク条件格納部52に格納されている各ブレイク条件とバス状態ラッチ部54でラッチした各ラッチデータとを比較し、各バスの状態がバスブレイク条件に一致している場合にはブレイク発生信号50aを出力する。

【0055】以上の構成であるからバスブレイク機能を備えたブレイクボード50は、各バス15a、15b、15cが予め設定した特定の状態になった際にブレイク発生信号50aは出力させることができる。

【0056】なお、図3に示した回路を複数組設けて、複数個のバスブレイクポイントを設定できるようにしてもよい。この場合は、各ブレイク発生信号の論理和出力をブレイク発生信号として出力するようにする。

【0057】図4はシーケンシャルブレイク機能を備えたブレイクボードの一具体例を示すブロック構成図である。シーケンシャルブレイク機能とは、複数のバスブレイクポイントを予め設定した特定の順序で通過した際に、ユーザプログラムの実行を停止させるものである。

図4に示すシーケンシャルブレイク機能を備えたブレイクボード60は、n組のバスブレイク機能回路部50A～50Nと、バスブレイク発生順序指定データ格納部61と、ブレイク信号発生部62とからなる。

【0058】各バスブレイク機能回路部50A～50Nの構成は、図3に示したバスブレイク機能を備えたブレイクボード50と同じである。

【0059】バスブレイク発生順序指定データ格納部61には、このバスブレイク発生順序指定データ格納部61を特定するためのアドレスが予め設定されている。バスブレイク発生順序指定データ格納部61は、各種バスを介して特定のアドレスを指定したライト要求が供給されると、データバス上に供給されているバスブレイク発生順序指定データを取り込んで格納する。バスブレイク発生順序指定データ格納部61に格納されたバスブレイク発生順序指定データ61aはブレイク信号発生部62へ供給される。

【0060】なお、図1に示したデバッグ20側からターゲットボード10を介してバスブレイク発生順序データの書き込みがなされる。また、図1に示したデバッグ20側からターゲットボード10を介して各バスブレイク機能回路部50A～50Nに各バスブレイク条件がそれぞれ設定される。

【0061】ここでは、第1のバスブレイク機能回路部50Aに第1のバスブレイク条件が設定され、第2のバスブレイク機能回路部50B（図示しない）に第2のバスブレイク条件が設定され、第nのバスブレイク機能回路部50Nに第3のバスブレイク条件が設定されているものとする。また、バスブレイク発生順序指定データ格納部61には、第1のバスブレイクポイント、第2のバスブレイクポイント、第3のバスブレイクポイントの順にバスブレイクポイントを通じたときに、シーケンシャルバスブレイクに係るブレイク発生信号60aを発生させる旨の条件が格納されているものとする。

【0062】ブレイク信号発生部62は、各バスブレイク機能回路部50A～50Nの出力である各バスブレイク発生信号62a～62nを監視しており、各バスブレイク発生信号62a～62nの発生順序がバスブレイク発生順序指定データ61aに基づいて指定された発生順序に一致した場合に、ブレイク発生信号60aを出力する。

【0063】ここでは、第1のバスブレイクポイントの検出を示す第1のバスブレイク発生信号62a、第2のバスブレイクポイントの検出を示す第2のバスブレイク発生信号（図示しない）、第3のバスブレイクポイントの検出を示す第3のバスブレイク発生信号62nがその順序で出力された際に、ブレイク信号発生部62によって第3のバスブレイク発生信号62nが出力された時点でブレイク発生信号60aが出力される。

【0064】以上の構成であるから図4に示したブレイク



クボード60を用いることで、特定の分岐条件が実行された際にユーザプログラムの実行をブレークさせたり、各種の入出力装置に対して特定の順序でアクセスがなされた際にユーザプログラムの実行をブレークさせたりすることができる。これにより、複雑な分岐条件や特定のアクセス状態の場合にのみユーザプログラムの実行をブレークさせて、デバッグを行なうことができる。

【0065】なお、図2～図4に示した各ブレークボード40、50、60の機能を全て備えたブレークボードを作成して、1枚のブレークボードでマップブレーク機能、バスブレーク機能、シーケンシャルブレーク機能の各機能に対応できるようにしてもよい。

【0066】

【発明の効果】以上説明したようにこの発明に係るデバッグ装置は、ターゲットボードにブレークボードを接続し、このブレークボードによってブレーク信号を発生させる構成としたので、オンチップデバッグ機能を利用したデバッグ装置においてチップ上に設けられたブレーク回路数の制約を受けることなく、ブレーク機能を拡張することができる。これによって、オンチップデバッグ機能を利用したデバッグ装置においてもユーザプログラムのデバッグを効率よく行なうことができる。

【図面の簡単な説明】

【図1】この発明に係るデバッグ装置の全体構成を示すブロック構成図である。

【図2】マップブレーク機能を備えたブレークボードの一具体例を示すブロック構成図である。

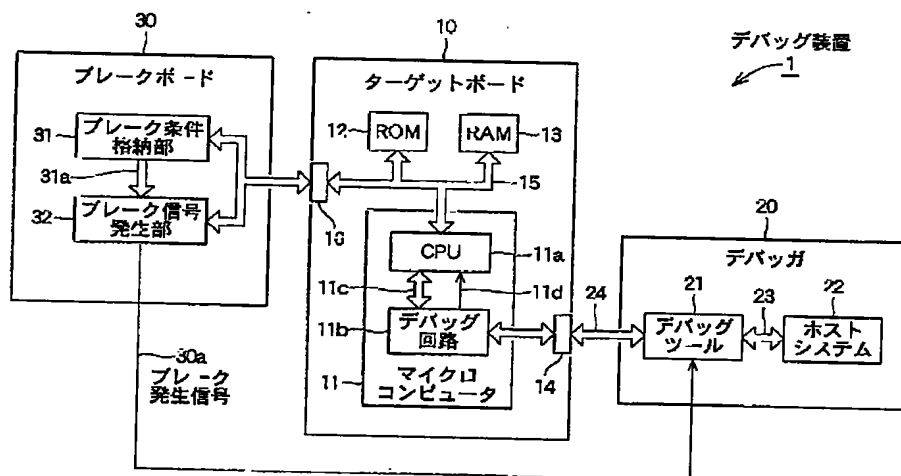
【図3】バスブレーク機能を備えたブレークボードの一具体例を示すブロック構成図である。

【図4】シーケンシャルブレーク機能を備えたブレークボードの一具体例を示すブロック構成図である。

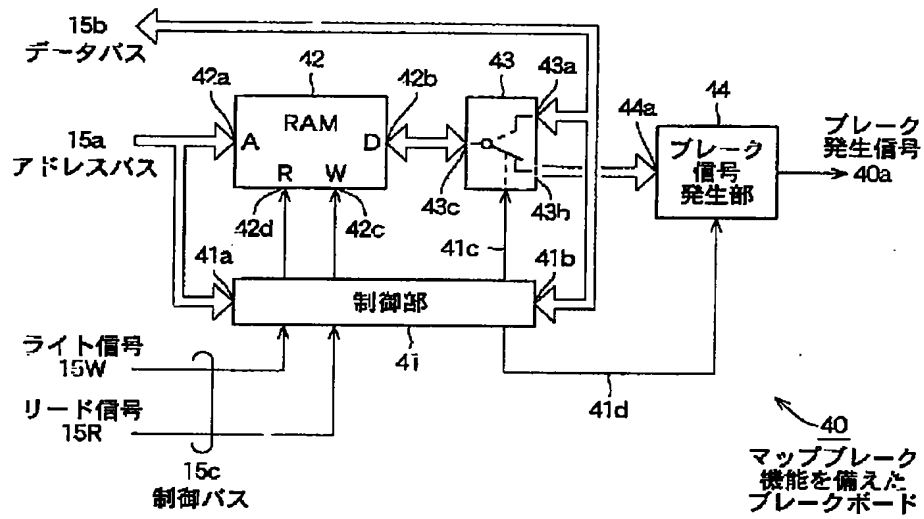
【符号の説明】

- 1 デバッグ装置
- 10 ターゲットボード
- 11 マイクロコンピュータ
- 11a CPU
- 11b デバッグ回路
- 14 デバッグ用インタフェース端子群
- 15 各種バス
- 15a アドレスバス
- 15b データバス
- 15c 制御バス
- 16 バスインタフェース端子群
- 20 デバッガ
- 21 デバッグツール
- 22 ホストシステム
- 30、40、50 ブレークボード
- 30a、40a、50a、60a ブレーク発生信号
- 31、52 ブレーク条件格納部
- 32、44、53、62 ブレーク信号発生部
- 42 ブレーク条件格納部を構成するRAM
- 61 ブレーク条件格納部を構成するバスブレーク発生順序指定データ格納部

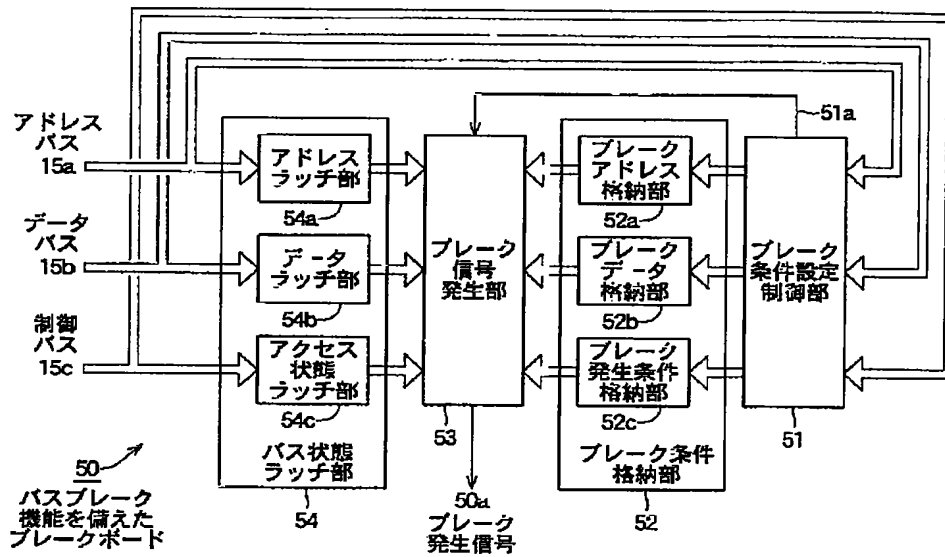
【図1】



【図2】



【図3】



【図4】

